



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0014398
Application Number

출원년월일 : 2003년 03월 07일
Date of Application MAR 07, 2003

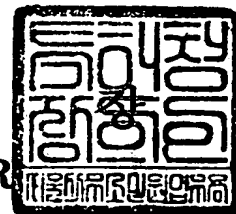
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 15 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.03.07
【국제특허분류】	H01L
【발명의 명칭】	디스플레이 시스템용 전류 모드 수신 장치
【발명의 영문명칭】	Current mode receiving device for display system
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	장일권
【성명의 영문표기】	CHANG, Il Kwon
【주민등록번호】	710616-1168214
【우편번호】	412-270
【주소】	경기도 고양시 덕양구 화정동 부영아파트 809-1301
【국적】	KR
【발명자】	
【성명의 국문표기】	전용원
【성명의 영문표기】	JEON, Yong Weon
【주민등록번호】	651118-1080127

【우편번호】	442-707
【주소】	경기도 수원시 팔달구 망포동 벽산아파트 117-1201
【국적】	KR
【발명자】	
【성명의 국문표기】	정지운
【성명의 영문표기】	JUNG, Ji Woon
【주민등록번호】	700425-1067015
【우편번호】	423-030
【주소】	경기도 광명시 철산동 주공아파트 818-1301
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	1 면 1,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 항 429,000 원
【합계】	459,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 디스플레이 시스템용 전류 모드 수신 회로에 관한 것으로서, 제1 단자 및 제2 단자를 구비하며, 상기 입력 신호가 상기 제1 단자로 입력될 때, 상기 제1 단자에 흐르는 전류와 동일한 크기의 전류를 상기 제2 단자를 통하여 상기 전류 모드 수신 회로의 출력 신호로써 출력하는 전류 미러; 상기 입력 신호가 규정된 전류보다 많아지면 상기 입력 신호를 감소시키고, 상기 입력 신호가 상기 규정된 전류보다 적어지면 상기 입력 신호를 증가시켜서 상기 제1 단자로부터 출력되는 전류의 크기를 일정하게 유지시키는 제1 궤환부; 및 상기 전류 모드 수신 회로의 출력 신호를 상기 제1 단자로 궤환시키며, 이 때 상기 전류 모드 수신 회로의 출력 신호가 하이 레벨이면 상기 제1 단자의 전류를 소정 레벨 감소시키고, 상기 전류 모드 수신 회로의 출력 신호가 로우 레벨이면 상기 제1 단자의 전류를 상기 소정 레벨 증가시키는 제2 궤환부를 구비함으로써 높은 주파수의 전송 신호와 불규칙하게 전송되는 신호를 수신할 수 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

디스플레이 시스템용 전류 모드 수신 장치{Current mode receiving device for display system}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 전류 모드 수신 장치 및 데이터 전송 장치의 출력단 회로도이다.

도 2는 도 1에 도시된 수신 장치에 주파수가 높은 신호와 불규칙한 신호가 입력될 때의 출력 신호의 파형도들이다.

도 3은 본 발명에 따른 전류 모드 수신 장치의 블록도이다.

도 4는 본 발명에 따른 전류 모드 수신 장치의 회로도이다.

도 5는 도 4에 도시된 수신회로에 입력 신호를 전송하는 데이터 전송 장치의 출력 회로의 일 실시예이다.

도 6은 도 4에 도시된 신호들의 파형도이다.

도 7은 도 4에 도시된 수신 장치에 높은 주파수의 신호와 불규칙한 신호가 입력될 때의 출력 신호의 파형도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 전류 모드 수신 장치에 관한 것으로서, 특히 디스플레이 시스템에 사용되는 소오스 드라이버에 구비되는 전류 모드 수신 장치에 관한 것이다.
- <10> 데이터 전송 주파수를 높여주고, 전력 소모 및 잡음을 감소시키기 위해 전류 모드 수신 장치가 사용된다. 종래의 전류 모드 수신 장치가 도 1에 도시되어 있다. 도 1을 참조하면, 데이터 전송장치(111)는 출력 신호가 많이 전송되도록 출력단에 저항값들이 적은 저항들(R_{z1}, R_{z2})을 구비하며, 수신 장치(121)는 상기 전송되는 신호를 많이 수신하기 위하여 입력저항이 큰 연산 증폭기(123)를 구비한다. 즉, 데이터 전송장치(111)는 전류를 전송하지만, 수신 장치(121)는 연산 증폭기(123)의 두 입력 단자들을 통하여 전압을 입력하게 된다.
- <11> 도 2는 도 1에 도시된 수신 장치(121)에 주파수가 높은 신호와 불규칙한 신호가 입력될 때의 파형도이다.
- <12> (a)를 참조하면, 수신 장치(121)에 주파수가 높은 신호(211)가 입력될 경우, 상기 신호(211)를 수신하는 수신 장치(121)는 매우 미약한 신호(221)를 출력한다. 즉, 수신 장치(121)는 높은 주파수의 신호를 정확히 수신하지 못한다.
- <13> (b)를 참조하면, 수신 장치(121)에 불규칙한 신호(231)가 입력될 경우, 수신 장치(121)는 매우 미약한 신호(241)를 출력하기 때문에 수신 장치(121)의 출력 신호를 입력

하는 회로(미도시)는 수신 장치(121)의 출력신호를 제대로 인식할 수가 없어서 오동작을 수행하게 된다.

<14> 이와 같이, 수신 장치(121)의 연산 증폭기(123)는 전압을 입력하기 때문에 주파수가 높은 신호(211)를 수신하는데 제한을 받게 되며, 그로 인하여 화면이 크거나 해상도가 높은 디스플레이 시스템에는 적용되기가 어렵다. 또한, 불규칙한 신호(231)가 입력될 때도 이를 인식하지 못할 뿐만 아니라, 전송 장치(111)의 출력단 저항들(R_{z1} , R_{z2})의 저항값들이 적기 때문에 전송 장치(111)로부터 전송되는 전류가 커서 그로 인한 전력 소모가 많아진다.

【발명이 이루고자 하는 기술적 과제】

<15> 본 발명이 이루고자하는 기술적 과제는 데이터 수신 주파수를 높여주고 데이터 수신 오류를 감소시키는 전류 모드 수신 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<16> 상기 기술적 과제를 이루기 위하여 본 발명은,

<17> 전류를 입력 신호로써 수신하는 전류 모드 수신 장치에 있어서, 제1 단자 및 제2 단자를 구비하며, 상기 입력 신호가 상기 제1 단자로 입력될 때, 상기 제1 단자에 흐르는 전류와 동일한 크기의 전류를 상기 제2 단자를 통하여 상기 전류 모드 수신 장치의 출력 신호로써 출력하는 전류 미러; 및 상기 전류 모드 수신 장치의 출력 신호를 상기 제1 단자로 궤환시키며, 이 때 상기 출력 신호가 하이 레벨이면 상기 제1 단자의 전류를 소정 레벨 감소시키고, 상기 출력 신호가 로우 레벨이면 상기 제1 단자의 전류를 상기 소정 레벨 증가시키는 궤환부를 구비하는 전류 모드 신호 수신 장치를 제공한다.

- <18> 바람직하기는, 상기 전류 모드 수신 장치의 출력 신호의 최종 레벨은 하이 레벨일 때는 상기 입력 신호의 하이 레벨보다 상기 소정 레벨 낮고, 로우 레벨일 때는 상기 입력 신호의 로우 레벨보다 상기 소정 레벨 높다.
- <19> 바람직하기는 또한, 상기 입력 신호의 로우 레벨은 접지 전압보다 높다.
- <20> 상기 기술적 과제를 이루기 위하여 본 발명은 또,
- <21> 전류를 입력 신호로써 수신하는 전류 모드 수신 장치에 있어서, 제1 단자 및 제2 단자를 구비하며, 상기 입력 신호가 상기 제1 단자로 입력될 때, 상기 제1 단자에 흐르는 전류와 동일한 크기의 전류를 상기 제2 단자를 통하여 상기 전류 모드 수신 장치의 출력 신호로써 출력하는 전류 미러; 상기 입력 신호가 규정된 전류보다 많아지면 상기 입력 신호를 감소시키고, 상기 입력 신호가 상기 규정된 전류보다 적어지면 상기 입력 신호를 증가시켜서 상기 제1 단자로부터 출력되는 전류의 크기를 일정하게 유지시키는 제1 레환부; 및 상기 전류 모드 수신 장치의 출력 신호를 상기 제1 단자로 레환시키며, 이 때 상기 전류 모드 수신 장치의 출력 신호가 하이 레벨이면 상기 제1 단자의 전류를 소정 레벨 감소시키고, 상기 전류 모드 수신 장치의 출력 신호가 로우 레벨이면 상기 제1 단자의 전류를 상기 소정 레벨 증가시키는 제2 레환부를 구비하는 전류 모드 신호 수신 장치를 제공한다.
- <22> 바람직하기는, 상기 전류 모드 수신 장치의 출력 신호의 최종 레벨은 하이 레벨일 때는 상기 입력 신호의 하이 레벨보다 상기 소정 레벨 낮고, 로우 레벨일 때는 상기 입력 신호의 로우 레벨보다 상기 소정 레벨 높다.
- <23> 바람직하기는 또한, 상기 입력 신호의 로우 레벨은 접지 전압보다 높다.

- <24> 상기 기술적 과제를 이루기 위하여 본 발명은 또한,
- <25> 전류를 입력 신호로써 수신하는 전류 모드 수신 장치에 있어서, 제1 단자 및 제2 단자를 구비하며, 상기 입력 신호가 상기 제1 단자로 입력될 때, 상기 제1 단자에 흐르는 전류와 동일한 크기의 전류를 상기 제2 단자를 통하여 상기 전류 모드 수신 장치의 출력 신호로써 출력하는 전류 미러; 상기 제2 단자에 흐르는 전류를 전압으로 변환하여 출력하는 전류전압 변환부; 및 상기 전류전압 변환부의 출력 전압의 크기에 따라서, 상기 제1 단자에 흐르는 전류를 소정 레벨 증가시키거나 감소시키는 반전부를 구비하는 전류 모드 수신 장치를 제공한다.
- <26> 바람직하기는, 상기 전류전압 변환부는 상기 제2 단자에 흐르는 전류가 로우 레벨이면 출력 전압을 하이 레벨로써 출력하고, 상기 제2 단자에 흐르는 전류가 하이 레벨이면 출력 전압을 로우 레벨로써 출력한다.
- <27> 바람직하기는 또한, 상기 입력 신호와 상기 제1 단자 사이에 연결되며, 상기 입력 신호의 전류가 규정된 전류보다 많아지면 상기 입력 신호를 감소시키고, 상기 입력 신호의 전류가 상기 규정된 전류보다 적어지면 상기 입력 신호를 증가시켜서 상기 제1 단자로부터 출력되는 전류의 크기를 일정하게 유지시키는 다른 변환부를 더 구비한다.
- <28> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <29> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

- <30> 도 3은 본 발명에 따른 전류 모드 수신 장치의 블록도이다. 도 3을 참조하면, 전류 모드 수신 장치(301)는 전류 미러(311), 제1 케환부(321) 및 제2 케환부(331)를 구비한다. 전류 모드 수신 장치(301)는 입력 신호(Iin)로써 전류를 입력한다.
- <31> 전류 미러(311)는 제1 단자(T1) 및 제2 단자(T2)를 구비한다. 전류 미러(311)는 신호가 제1 단자(T1)로 입력될 때, 제1 단자(T1)에 흐르는 전류와 동일한 크기의 전류를 제2 단자(T2)로 출력한다. 제2 단자(T2)에서 출력되는 전류는 전류 모드 수신 장치의 출력 신호(Iout)로써 출력된다.
- <32> 제1 케환부(321)는 입력 신호(Iin)와 제1 단자(T1) 사이에 연결된다. 제1 케환부(321)는 입력 신호(Iin)로써 인가되는 전류가 규정된 전류보다 증가하면 제1 단자(T1)에 흐르는 전류를 감소시키고, 입력 신호(Iin)의 전류가 상기 규정된 전류보다 감소하면 제1 단자(T1)에 흐르는 전류를 증가시킨다. 따라서, 제1 단자(T1)에 흐르는 전류는 항상 상기 규정된 전류로 일정하게 유지된다.
- <33> 제2 케환부(331)는 전류 모드 수신 장치(301)의 출력 신호(Iout)를 제1 단자(T1)로 케환시킨다. 제2 케환부(331)는 출력 신호(Iout)가 하이 레벨(high level)이면 제1 단자(T1)의 전류량을 소정 레벨 감소시키고, 출력 신호(Iout)가 로우 레벨(low level)이면 제1 단자(T1)의 전류량을 상기 소정 레벨 증가시킨다.
- <34> 제2 케환부(331)는 전류전압 변환부(333)와 반전부(335)를 구비한다.
- <35> 전류전압 변환부(333)는 제2 단자(T2)에 흐르는 전류를 전압으로 변환하여 출력한다. 즉, 전류전압 변환부(333)는 제2 단자(T2)에 흐르는 전류가 로우 레벨이면

출력전압(V_a)을 하이 레벨로써 출력하고, 제2 단자(T_2)에 흐르는 전류가 하이 레벨이면 출력전압(V_a)을 로우 레벨로써 출력한다.

<36> 반전부(335)는 전류전압 변환부(333)의 출력전압(V_a)에 응답하여 제1 단자(T_1)에 흐르는 전류의 크기를 제어한다. 즉, 반전부(335)는 전류전압 변환부(333)의 출력전압(V_a)이 하이 레벨이면 제1 단자(T_1)에 흐르는 전류를 감소시키고, 전류전압 변환부(333)의 출력전압(V_a)이 로우 레벨이면 제1 단자(T_1)에 흐르는 전류를 증가시킨다.

<37> 전류 모드 수신 장치(301)의 출력 신호(I_{out})의 최종 레벨은 하이 레벨일 때는 입력 신호(I_{in})의 하이 레벨보다 소정 레벨 낮고, 로우 레벨일 때는 입력 신호(I_{in})의 로우 레벨보다 소정 레벨 높다.

<38> 도 4는 본 발명에 따른 전류 모드 수신 장치(301)의 회로도이며, 도 6은 도 4에 도시된 입력 신호(I_{in}), 제1 단자(T_1)의 전류(I_1), 출력 신호(I_{out}) 및 반전부(335)에 흐르는 전류들(I_2, I_3)의 파형도이다. 도 4를 설명하면서 도 6은 수시로 인용될 것이다.

<39> 도 4를 참조하면, 전류 모드 수신 장치(301)는 전류 미러(311), 제1 변환부(321), 전류전압 변환부(333) 및 반전부(335)를 구비한다.

<40> 전류 미러(311)는 PMOS 트랜지스터들(PM_1, PM_2)을 구비하며, PMOS 트랜지스터들(PM_1, PM_2)의 드레인들에 제1 및 제2 단자들(T_1, T_2)이 연결된다. 제1 단자(T_1)에 흐르는 전류(I_1)와 제2 단자(T_2)에 흐르는 전류(I_{out})의 크기는 서로 동일하다.

<41> 제1 변환부(321)는 NMOS 트랜지스터들(NM_1, NM_2)과 PMOS 트랜지스터(PM_3)를 구비한다. PMOS 트랜지스터(PM_3)의 게이트에는 소정 전압(V_B)이 인가되어 PMOS 트랜지스터(PM_3)는 항상 활성화 상태로 유지된다. 따라서, PMOS 트랜지스터(PM_3)에는 항상 일정한

전류가 흐르며, NMOS 트랜지스터들(NM1,NM2)에 소정의 바이어스 전압을 제공한다. 상기 소정의 바이어스 전압은 PMOS 트랜지스터(PM3)의 크기에 따라 변경될 수 있다.

<42> 제1 레환부(321)의 동작을 설명하기로 한다. 만일 입력 신호(Iin)의 전류가 규정 전류(I1,3I; 도 6 참조)보다 증가하면 NMOS 트랜지스터(NM1)가 많이 활성화되어 NMOS 트랜지스터(NM1)를 흐르는 전류가 증가한다. 이로 인하여 NMOS 트랜지스터(NM2)가 적게 활성화되어 NMOS 트랜지스터(NM2)를 흐르는 전류(I1)는 감소한다. 전류(I1)의 감소가 계속되다가 규정 전류(I1,3I;도 6 참조)에 도달하면 더 이상 감소되지 않는다.

<43> 만일 입력 신호(Iin)가 규정 전류(I1,3I; 도 6 참조)보다 감소하면 NMOS 트랜지스터(NM1)가 적게 활성화되어 NMOS 트랜지스터(NM1)를 흐르는 전류가 감소한다. 이로 인하여 NMOS 트랜지스터(NM2)가 많이 활성화되어 NMOS 트랜지스터(NM2)를 흐르는 전류는 증가한다. 전류(I1)의 증가가 계속되다가 규정 전류(I1,3I; 도 6 참조)에 도달하면 더 이상 증가하지 않는다.

<44> 이와 같이, NMOS 트랜지스터(NM1)에 의해 입력 신호(Iin)가 NMOS 트랜지스터(NM2)로 레환됨으로써 제1 단자(T1)에 흐르는 전류(I1)는 규정 전류(I1,I3; 도 6 참조)로 일정하게 유지된다.

<45> 전류전압 변환부(333)는 NMOS 트랜지스터들(NM3,NM4), PMOS 트랜지스터(PM4) 및 인버터(411)를 구비한다. NMOS 트랜지스터(NM4)의 게이트에는 소정 전압(VRN2)이 인가되어 NMOS 트랜지스터(NM4)를 항상 활성화시킨다. 따라서, NMOS 트랜지스터(NM4)로부터는 항상 일정한 크기(2I; 도 6 참조)의 기준 전류가 출력된다.

- <46> 전류전압 변환부(333)의 동작을 설명하기로 한다. 제2 단자(T2)에 흐르는 전류(I_{out})가 로우 레벨(1I; 도 6 참조)이면, 인버터(411)의 출력전압(V_a)은 하이 레벨로 되어 NMOS 트랜지스터(NM3)가 활성화된다. 그러면, 노드(N2)로부터 노드(N1)를 통하여 NMOS 트랜지스터(NM4)로 전류가 흐른다. 제2 단자(T2)에 흐르는 전류(I_{out})가 하이 레벨(3I)이면, 인버터(411)의 출력전압(V_a)은 로우 레벨로 되어 PMOS 트랜지스터(PM4)가 활성화된다. 그러면, 노드(N1)로부터 노드(N2)를 통하여 PMOS 트랜지스터(PM4)로 전류가 흐른다.
- <47> 이와 같이, 제2 단자(T2)에서 출력되는 전류(I_{out})의 일부는 전류전압 변환부(333)에 의해 전압(V_a)으로 변환된다.
- <48> 반전부(335)는 PMOS 트랜지스터들(PM5, PM6)과 NMOS 트랜지스터들(NM5, NM6)을 구비한다. PMOS 트랜지스터(PM6)의 게이트에는 소정 전압(VRP)이 인가되어 PMOS 트랜지스터(PM6)를 항상 활성화시킨다. 따라서, PMOS 트랜지스터(PM6)로부터 일정한 크기의 전류(I_2)가 출력된다. NMOS 트랜지스터(NM6)의 게이트에는 소정 전압(VRN1)이 인가되어 NMOS 트랜지스터(NM6)를 항상 활성화시킨다. 따라서, NMOS 트랜지스터(NM6)로부터 일정한 크기의 전류(I_3)가 출력된다. 전류들(I_2, I_3)은 소정 크기, 예컨대 $0.5I$ (도 6 참조)이다.
- <49> 반전부(335)의 동작을 설명하기로 한다. 전류전압 변환부(333)의 출력전압(V_a)이 하이 레벨이면 NMOS 트랜지스터(NM5)가 활성화된다. 그러면, NMOS 트랜지스터들(NM5, NM6)을 통하여 전류(I_3)가 흐른다. 즉, 전류 미러(311)의 제1 단자(T1)로부터 소정의 전류(I_3)가 NMOS 트랜지스터들(NM5, NM6)로 흐르게 되므로 제1 단자(T1)에 흐르는 전류(I_1)는 상기 소정의 전류(I_3)만큼 감소된다. 전류전압 변환부(333)의 출력전압(V_a)이 로우 레벨이면 PMOS 트랜지스터(PM5)가 활성화된다. 그러면, PMOS 트랜지스터들

(PM5, PM6)을 통하여 전류(I_2)가 흐른다. 즉, PMOS 트랜지스터들(PM5, PM6)로부터 전류 미러(311)의 제1 단자(T1)로 소정의 전류(I_3)가 흐르게 되므로 제1 단자(T1)에 흐르는 전류(I_1)는 상기 소정의 전류(I_3)만큼 증가된다.

<50> 전류들(I_2, I_3)들의 크기는 PMOS 트랜지스터(PM6)와 NMOS 트랜지스터(NM6)의 크기에 따라 변경이 가능하다.

<51> 전류 미러(311)의 제1 단자(T1)에 흐르는 전류(I_1)가 증가하면, 전류 모드 수신 장치(301)의 출력 전류(I_{out})도 증가하고, 제1 단자(T1)에 흐르는 전류(I_1)가 감소하면, 전류 모드 수신 장치(301)의 출력 전류(I_{out})도 감소한다.

<52> 도 5는 도 4에 도시된 수신회로에 입력 신호(I_{in})를 전송하는 데이터 전송 장치의 출력회로(501)이다. 데이터 전송 장치의 출력회로(501)는 도 4에 도시된 제1 궤환부(321)의 동작을 설명하는데 이해를 돕기 위하여 도시하였다. 도 5를 참조하면, 데이터 전송 장치의 출력회로(501)는 인버터(531) 및 NMOS 트랜지스터들(511, 521)을 구비한다. NMOS 트랜지스터(521)의 게이트에는 소정 전압(V_A)이 인가되어 NMOS 트랜지스터(521)는 항상 활성화 상태로 유지되며, 이 때, NMOS 트랜지스터(521)에 흐르는 전류의 크기는 $1I$ (도 6 참조)이다. NMOS 트랜지스터(511)는 인버터(531)의 출력전압에 의해 제어되며, NMOS 트랜지스터(511)가 활성화되면 NMOS 트랜지스터(511)에 흐르는 전류(I_a)의 크기는 $2I$ (도 6 참조)이다.

<53> 따라서, 데이터 전송 장치의 출력회로(501)에 입력되는 전압(V_o)이 하이 레벨이면 NMOS 트랜지스터(521)만 활성화되어 입력 전류(I_{in})의 크기는 $1I$ (도 6 참조)로 되며, 데이터 전송 장치의 출력회로(501)에 입력되는 전압(V_o)이 로우 레벨이면 NMOS 트랜지스터들(511, 521)이 모두 활성화되어 입력 전류(I_{in})의 크기는 $3I$ (도 6 참조)로 된다.

<54> 도 7은 본 발명의 수신 장치에 주파수가 높은 신호와 불규칙한 신호가 입력될 때의 출력 신호의 파형도들이다.

<55> (a)를 참조하면, 수신 장치(도 4의 301)에 주파수가 높은 신호(711)가 입력될 때 수신 장치(도 4의 301)의 출력 신호(721)는 충분한 크기의 전류를 출력한다. 즉, 데이터 전송 장치가 높은 주파수의 신호(711)를 전송하더라도 수신 장치(도 4의 301)는 이를 충분히 수신한다.

<56> (b)를 참조하면, 수신 장치(도 4의 301)에 불규칙한 입력 신호(731)가 입력되더라도 수신 장치(도 4의 301)는 그에 응답한 신호(741)를 출력함으로써 수신 장치(도 4의 301)의 출력 신호를 입력하는 회로는 오동작을 수행하지 않는다.

<57> 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<58> 상술한 바와 같이 본 발명에 따르면, 데이터 전송 장치의 출력회로(501)에서 높은 주파수의 신호(711)가 전송되더라도 수신 장치(301)는 이를 충분히 수신할 수 있으므로 본 발명의 수신 장치(301)는 큰 화면이나 고화질의 디스플레이 시스템에 적용이 가능하

다. 또한, 수신 장치(301)는 불규칙한 신호(731)가 입력될 때에도 이를 충분히 수신할 수 있다.

【특허청구범위】**【청구항 1】**

전류를 입력 신호로써 수신하는 전류 모드 수신 장치에 있어서,

제 1 단자 및 제2 단자를 구비하며, 상기 입력 신호가 상기 제1 단자로 입력될 때, 상기 제1 단자에 흐르는 전류와 동일한 크기의 전류를 상기 제2 단자를 통하여 상기 전류 모드 수신 장치의 출력 신호로써 출력하는 전류 미러; 및

상기 전류 모드 수신 장치의 출력 신호를 상기 제1 단자로 궤환시키며, 이 때 상기 출력 신호가 하이 레벨이면 상기 제1 단자의 전류를 소정 레벨 감소시키고, 상기 출력 신호가 로우 레벨이면 상기 제1 단자의 전류를 상기 소정 레벨 증가시키는 궤환부를 구비하는 것을 특징으로 하는 전류 모드 신호 수신 장치.

【청구항 2】

제1 항에 있어서, 상기 전류 모드 수신 장치의 출력 신호의 최종 레벨은

하이 레벨일 때는 상기 입력 신호의 하이 레벨보다 상기 소정 레벨 낮고, 로우 레벨일 때는 상기 입력 신호의 로우 레벨보다 상기 소정 레벨 높은 것을 특징으로 하는 전류 모드 수신 장치.

【청구항 3】

제1 항에 있어서, 상기 입력 신호의 로우 레벨은 접지 전압보다 높은 것을 특징으로 하는 전류 모드 수신 장치.

【청구항 4】

전류를 입력 신호로써 수신하는 전류 모드 수신 장치에 있어서,

제 1 단자 및 제2 단자를 구비하며, 상기 입력 신호가 상기 제1 단자로 입력될 때, 상기 제1 단자에 흐르는 전류와 동일한 크기의 전류를 상기 제2 단자를 통하여 상기 전류 모드 수신 장치의 출력 신호로써 출력하는 전류 미러;

상기 입력 신호가 규정된 전류보다 많아지면 상기 입력 신호를 감소시키고, 상기 입력 신호가 상기 규정된 전류보다 적어지면 상기 입력 신호를 증가시켜서 상기 제1 단자로부터 출력되는 전류의 크기를 일정하게 유지시키는 제1 레환부; 및

상기 전류 모드 수신 장치의 출력 신호를 상기 제1 단자로 레환시키며, 이 때 상기 전류 모드 수신 장치의 출력 신호가 하이 레벨이면 상기 제1 단자의 전류를 소정 레벨 감소시키고, 상기 전류 모드 수신 장치의 출력 신호가 로우 레벨이면 상기 제1 단자의 전류를 상기 소정 레벨 증가시키는 제2 레환부를 구비하는 것을 특징으로 하는 전류 모드 신호 수신 장치.

【청구항 5】

제4 항에 있어서, 상기 전류 모드 수신 장치의 출력 신호의 최종 레벨은

하이 레벨일 때는 상기 입력 신호의 하이 레벨보다 상기 소정 레벨 낮고, 로우 레벨일 때는 상기 입력 신호의 로우 레벨보다 상기 소정 레벨 높은 것을 특징으로 하는 전류 모드 수신 장치.

【청구항 6】

제4 항에 있어서, 상기 입력 신호의 로우 레벨은 접지 전압보다 높은 것을 특징으로 하는 전류 모드 수신 장치.

【청구항 7】

전류를 입력 신호로써 수신하는 전류 모드 수신 장치에 있어서,

제 1 단자 및 제2 단자를 구비하며, 상기 입력 신호가 상기 제1 단자로 입력될 때, 상기 제1 단자에 흐르는 전류와 동일한 크기의 전류를 상기 제2 단자를 통하여 상기 전류 모드 수신 장치의 출력 신호로써 출력하는 전류 미러;

상기 제2 단자에 흐르는 전류를 전압으로 변환하여 출력하는 전류전압 변환부; 및

상기 전류전압 변환부의 출력 전압의 크기에 따라서, 상기 제1 단자에 흐르는 전류를 소정 레벨 증가시키거나 감소시키는 반전부를 구비하는 것을 특징으로 하는 전류 모드 수신 장치.

【청구항 8】

제7 항에 있어서, 상기 전류전압 변환부는

상기 제2 단자에 흐르는 전류가 로우 레벨이면 출력 전압을 하이 레벨로써 출력하고, 상기 제2 단자에 흐르는 전류가 하이 레벨이면 출력 전압을 로우 레벨로써 출력하는 것을 특징으로 하는 전류 모드 수신 장치.

【청구항 9】

제7 항에 있어서, 상기 반전부는

상기 전류전압 변환부의 출력 전압이 로우 레벨일 때 활성화되는 제1 PMOS 트랜지스터;

상기 제1 PMOS 트랜지스터에 상기 소정 레벨의 전류를 공급하는 제2 PMOS 트랜지스터;

상기 전류전압 변환부의 출력 전압이 하이 레벨일 때 활성화되는 제1 NMOS 트랜지스터; 및

상기 제1 NMOS 트랜지스터에 연결되며, 상기 제1 NMOS 트랜지스터가 활성화상태일 때 상기 제1 NMOS 트랜지스터로부터 상기 소정 레벨의 전류가 흐르게하는 제2 NMOS 트랜지스터를 구비하며,

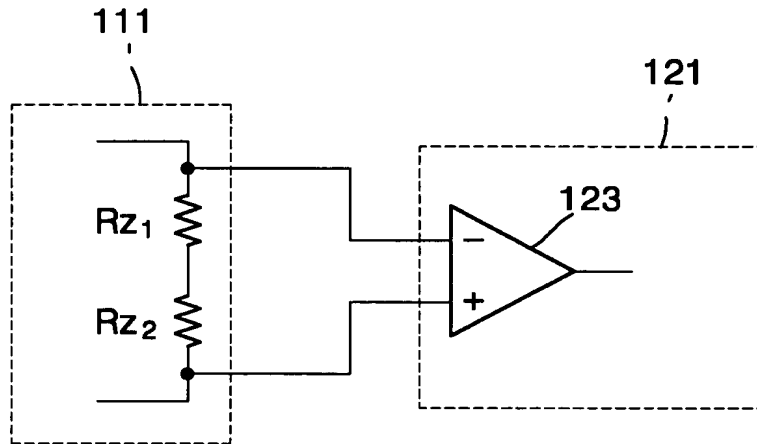
상기 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터가 연결된 노드에 상기 제1 단자가 연결된 것을 특징으로 하는 전류 모드 수신 장치.

【청구항 10】

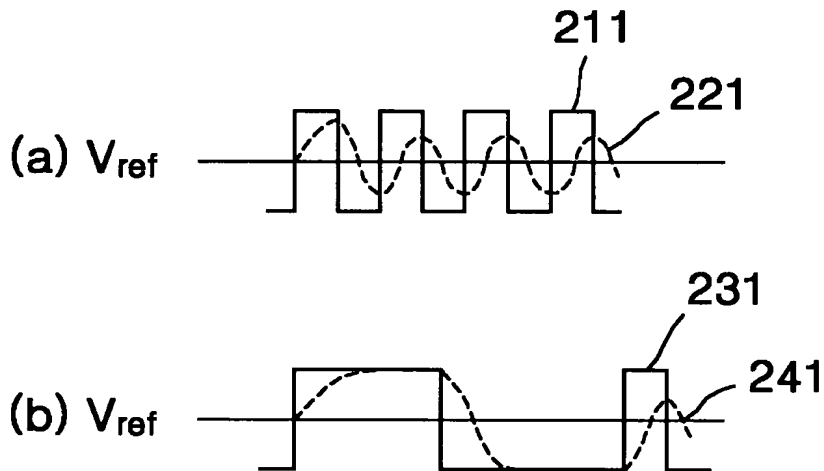
제7 항에 있어서, 상기 입력 신호와 상기 제1 단자 사이에 연결되며, 상기 입력 신호의 전류가 규정된 전류보다 많아지면 상기 입력 신호를 감소시키고, 상기 입력 신호의 전류가 상기 규정된 전류보다 적어지면 상기 입력 신호를 증가시켜서 상기 제1 단자로부터 출력되는 전류의 크기를 일정하게 유지시키는 다른 변환부를 더 구비하는 것을 특징으로 하는 전류 모드 수신 장치.

【도면】

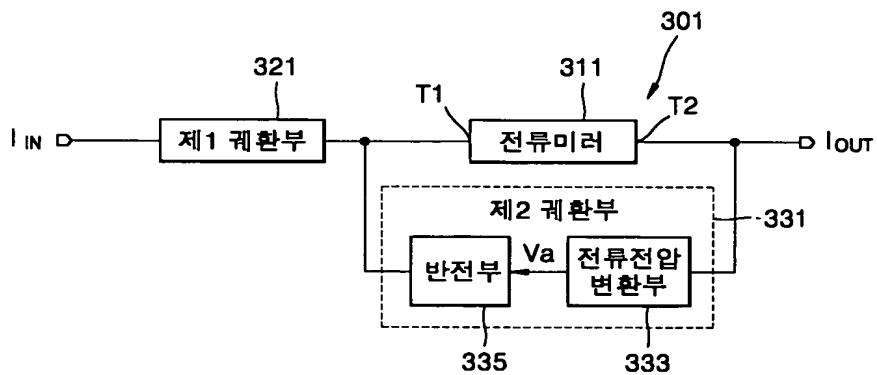
【도 1】



【도 2】

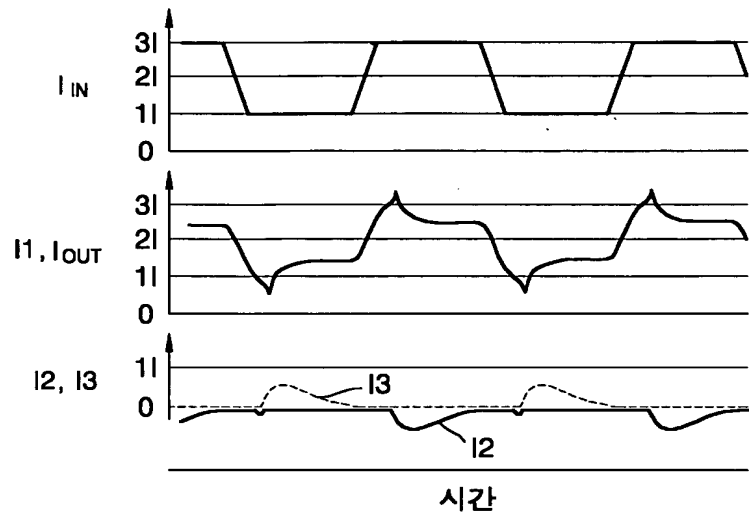


【도 3】





【도 6】



【도 7】

